

PATENT ABSTRACTS OF JAPAN

(11)Publication number : 05-159592

(43)Date of publication of application : 25.06.1993

(51)Int.Cl.

G11C 17/00
G06F 12/16

(21)Application number : 03-348405

(71)Applicant : NEC CORP

(22)Date of filing : 05.12.1991

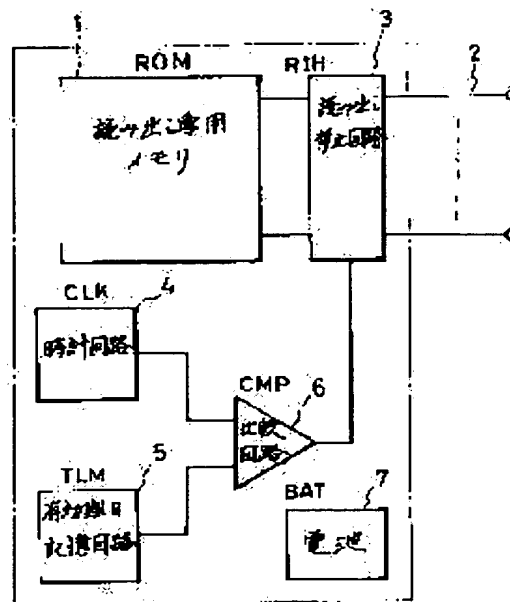
(72)Inventor : OSAWA KAZUAKI

(54) MEMORY ELEMENT WITH TIMER

(57)Abstract:

PURPOSE: To disable readout of ROM when a time count output and the content of an effective data storage circuit coincide with each other and thus to enable readout of the content of the ROM only for a prescribed period, by providing a clock circuit and the effective date storage circuit.

CONSTITUTION: A readout prohibiting circuit RIH 3 is inserted between ROM 1 and an output terminal 2 and the RIH 3 connects the ROM 1 with the output terminal 2 unless it is controlled, thus making the content of the ROM 1 readable. On the other side, an effective date storage circuit TLM 5 made to store a date set in accordance with a period wherein a clock circuit CLK and the content of the ROM 1 are usable is provided. A comparator circuit CMP 6 compares a time count output of the CLK 4 with the content of the TLM 5 and controls the RIH to be OFF on the basis of a coincidence output obtained when they coincide with each other, and thereby a state wherein readout of the ROM 1 is disabled is brought forth.



LEGAL STATUS

[Date of request for examination]

[Date of sending the examiner's decision of rejection]

[Kind of final disposal of application other than the examiner's decision of rejection or application converted registration]

[Date of final disposal for application]

[Patent number]

[Date of registration]

[Number of appeal against examiner's decision of rejection]

[Date of requesting appeal against examiner's decision of rejection]

[Date of extinction of right]

Copyright (C); 1998,2003 Japan Patent Office

(19)日本国特許庁(JP)

(12) 公開特許公報(A)

(11)特許出願公開番号

特開平5-159592

(43)公開日 平成5年(1993)6月25日

(51)Int.Cl. ⁵	識別記号	庁内整理番号	F I	技術表示箇所
G 1 1 C 17/00	Z	9191-5L		
G 0 6 F 12/16	3 1 0 R	7629-5B		

審査請求 未請求 請求項の数1(全 3 頁)

(21)出願番号 特願平3-348405

(22)出願日 平成3年(1991)12月5日

(71)出願人 000004237

日本電気株式会社

東京都港区芝五丁目7番1号

(72)発明者 大沢 一秋

東京都港区芝五丁目7番1号 日本電気株式会社内

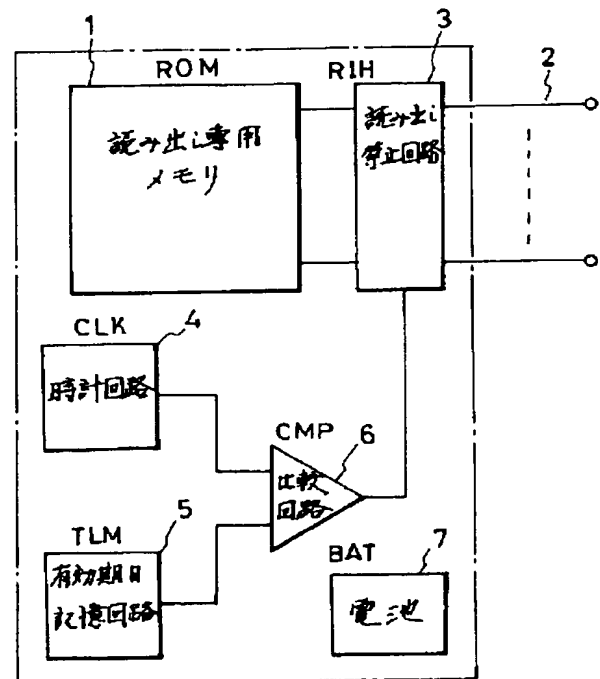
(74)代理人 弁理士 山川 政樹

(54)【発明の名称】 時限機能付メモリ素子

(57)【要約】

【目的】 ROMの内容読み出しを一定期間に限り可能とする。

【構成】 時計回路4の計時出力と有効期日記憶回路5の有効期日とを比較回路6により比較し、これの一致出力により読み出し禁止回路3を制御し、ROMの内容読み出しを不能とする。



【特許請求の範囲】

【請求項1】 読み出し専用メモリと、このメモリの読み出しを不能とする読み出し禁止回路と、計時を行なう時計回路と、前記メモリの内容を利用できる期限を記憶した有効期日記憶回路と、この記憶回路の内容と前記時計回路の計時出力とを比較し一致出力により前記読み出し禁止回路を読み出し不能状態とする比較回路とを設けたことを特徴とする時限機能付メモリ素子。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、プログラム等の格納に用いるメモリ素子に関するものである。

【0002】

【従来の技術】プログラム、特定のデータ等を固定的に格納して用いる場合、一般に読み出し専用メモリ（以下、ROM）が使用されており、このROMは電源の供給が切断されても半永久的に格納内容を保持するものとなっている。

【0003】

【発明が解決しようとする課題】しかし、プログラム、特定のデータ等を一定の期間に限って提供する場合には、ROMが返却されてこない限り、相手側が契約を遵守するのを期待しているほかはなく、実質的に供給期間を確実化することのできない欠点を生じている。したがって、本発明の目的は、確実に一定期間中のみ格納内容を利用することのできる時限機能付メモリ素子を提供するものである。

【0004】

【課題を解決するための手段】本発明は前述の目的を達成するため、ROMと、これの読み出しを不能とする読み出し禁止回路と、計時を行なう時計回路と、ROMの内容を利用できる期限を記憶した有効期日記憶回路と、これの内容と時計回路の計時出力とを比較し一致出力により読み出し禁止回路を読み出し不能状態とする比較回路とを設けたものである。

【0005】

【作用】したがって、利用期間に応じて期限を定め、この期日を有効期日記憶回路へ記憶させておくことにより、時計回路の計時出力が期日と一致したときROMの*

*読み出しが不能となる。

【0006】

【実施例】以下、実施例を示す図1のブロック図により本発明の詳細を説明する。同図においては、ROM1と出力端子2との間に読み出し禁止回路（以下、RIH）3が介挿されており、RIH3は制御されない限りROM1と出力端子2との間を接続し、ROM1の内容を読み出し自在としている。

【0007】一方、例えば実時刻の計時を行なう時計回路（以下、CLK）4、および、ROM1の内容を利用自在とする期間に応じて定めた期限を記憶させた有効期日記憶回路（以下、RLM）5が設けてあり、CLK4の計時出力とRLM5の内容とを比較回路（以下、CMP）6が比較し、両者が一致したときの一致出力によりRIH3を制御し、これをオフとしてROM1の読み出しを不能な状態にするものとなっている。

【0008】なお、ROM1を除く各部は、電池（以下、BAT）7により電源の供給がなされており、BAT7を含め全体が分解不可能な素子として一体に形成されている。

【0009】したがって、契約に基づく利用期間を経過すれば、強制的にROM1の内容読み出しが不可能となり、確実に契約を実行することができる。

【0010】

【発明の効果】以上の説明により明らかなとおり本発明よれば、時計回路および有効期日記憶回路を設け、時計回路の計時出力と有効期日記憶回路の内容とが一致したとき、ROMの読み出しを不能としたことにより、一定期間を限ってROMの内容を提供する場合、この期間が確実に遵守され、期間限定によるプログラム、データ等の提供において顕著な効果が得られる。

【図面の簡単な説明】

【図1】本発明の実施例を示すブロック図である。

【符号の説明】

- 1 読み出し専用メモリ
- 3 読み出し禁止回路
- 4 時計回路
- 5 有効期日記憶回路
- 6 比較回路

【図1】

